

Sujet de thèse
École doctorale EEA de Lyon

Merci de compléter l'ensemble des rubriques et de lire les notes de bas de page.

| |
|---|
| Etablissement d'inscription : INSA de Lyon ¹ |
| École doctorale : ED 160 EEA de Lyon dirigée par Delachartre Philippe |
| Intitulé du doctorat : Génie Electrique ² |
| Sujet de la thèse : Snubber intégré dans le boîtier du transistor de puissance |
| Unité de recherche : AMPERE ³ , dirigée par Christian Vollaire |
| Directeur/trice de thèse : Bruno ALLARD |
| Co-directeur/trice de thèse (le cas échéant)⁴ : |
| Co-directeur/trice de thèse en entreprise (le cas échéant) : René ESCOFFIER (CEA-LETI) |

¹ A impérativement choisir dans la liste suivante : Ecole Centrale de Lyon, INSA de Lyon, Université Claude Bernard Lyon 1

² A impérativement choisir dans la liste suivante : Automatique // Electronique, Micro et Nano-électronique, Optique et Laser // Génie Electrique // Ingénierie pour le vivant Traitement du signal et de l'Image)

³ A impérativement choisir dans la liste suivante : Laboratoire Ampère, CITI, CREATIS, INL, LAGEPP, LGEF

⁴ Un/une co-encadrant-e n'est pas nécessairement co-directeur/trice de thèse puisque pour remplir ce rôle, il est nécessaire d'être habilité à diriger des recherches (pour plus de précision, voir le règlement intérieur de l'ED EEA, section 3.

Collaboration(s)/partenariat(s) extérieur(s) éventuels⁵ : [à compléter le cas échéant]

Le sujet de thèse s'inscrit dans le cadre du *projet d'intérêt européen commun* IPCEI ME/CT, dénommé SICAP 2026, concernant la montée en valeur du semiconducteur européen. Des dispositifs seront fournis par la société MURATA, site de Caen.

Domaine et contexte scientifiques : [12 lignes max]

Le transistor en nitrure de gallium (GaN) peut bénéficier d'un circuit d'aide à la commutation (*snubber circuit*) pour lui permettre de travailler dans des conditions électriques extrêmes. Par exemple, un transistor utilisé comme protection d'une ligne DC doit pouvoir l'ouvrir alors que la ligne est chargée d'énergie. Les conditions électriques de l'ouverture du transistor vont l'amener au-delà de son aire de sécurité. Un circuit d'aide à la commutation (CALC) est un premier niveau de solution[†] pour repousser les risques de défaillance.

Pour des questions d'intégration, le circuit d'aide à la commutation doit être intégré au boîtier du transistor voire ajouté à la puce semiconductrice. Cette approche n'est pas encore présente dans la littérature. La plus-value attendue est une meilleure efficacité du CALC ou la possibilité d'un dimensionnement plus compact, compatible avec l'intégration. L'utilisation de condensateurs en tranchée 3D sur silicium, haute tension, renforcera encore la compacité du CALC.

Les travaux visent l'étude de l'intégration sous l'angle de la conception électrique sous contrainte de fabrication, l'angle de la fabrication de dispositifs et l'angle de métrologie pour prouver la plus-value

[†] F. Zhu, F. Liu, W. Liu, K. Feng and X. Zha, "Performance analysis of RCD and MOV snubber circuits in low-voltage DC microgrid system," 2017 IEEE Applied Power Electronics Conference and Exposition (APEC), Tampa, FL, USA, 2017, pp. 1518-1521, doi: 10.1109/APEC.2017.7930900.

⁵ Hors contrats doctoraux fléchés UMI par l'établissement, les sujets de thèse en cotutelle ne sont pas acceptés.

Mots-clefs : [5 mots max.]

Transistor GaN, circuit d'aide à la commutation, condensateur 3D sur silicium, intégration au boîtier.

Objectifs de la thèse :

L'objectif des travaux de thèse est l'étude des transistors en Nitrure de Gallium (> 650 V) en commutation, pour concevoir, réaliser et valider expérimentalement un circuit d'aide à la commutation (*snubber*) intégré à la puce GaN ou son boîtier.

- La réalisation de circuit d'aide à la commutation à base de capacités 3D silicium n'a jamais été validée et constitue donc un défi en soi.
- La cointégration d'un circuit *snubber* avec un transistor GaN est une autre étape de difficulté.
- Enfin l'aspect expérimental est un défi entier, à adapter aux réalités des réalisations.

Les travaux revêtent un caractère expérimental important pour s'approprier la problématique du CALC afin de définir une spécification liée aux transistors GaN. Une approche méthodologique de conception doit être élaborée pour évaluer les performances et limitations des 2 voies (intégration boîtier ou monolithique). La validation expérimentale a posteriori nécessitera des accès particularisés à la structure sous test et ce point devra être anticipé à l'étape de conception. La conception doit également anticiper la réalité de la fabrication des transistors et de son boîtier.

Etat de l'art

Le sujet de thèse s'inscrit dans le cadre du projet d'intérêt européen commun IPCEI ME/CT, concernant notamment la montée en valeur du semiconducteur européen.

Les réseaux électriques embarqués DC nécessitent un système de protection contre les surcharges en puissance, les courts-circuits ou l'installation d'arc électrique [1, 2, 3, 4]. Ce système est complexe et repose sur des transistors de puissance pour



ÉCOLE
DOCTORALE

160

EEA
ÉLECTRONIQUE
ÉLECTROTECHNIQUE
ET AUTOMATIQUE
UNIVERSITÉ DE LYON

l'ouverture contrôlée du réseau électrique. Le ou les transistors impliqués peuvent participer à une fonction séparée ou bien une fonction combinée avec un convertisseur DC-DC [5, 6, 7].

La littérature est assez riche sur le sujet mais cache une grande diversité d'approches et de structures [8, 9, 10, 11] en fonction du niveau de tension DC et de puissance impliquées. Le projet s'intéresse à une application d'ouverture en conditions sévères d'une ligne DC sous 400V (soit Low-voltage DC, LVDC), puis 800V dans un second temps (Medium-voltage DC, MVDC).

Dans le contexte LVDC, l'émergence du HEMT GaN (Nitrure de Gallium, tenue en tension > 650 V) a permis l'étude de la compatibilité des performances du composant à la fonction d'ouverture de ligne [12, 13]. La commutation rapide du transistor oblige à maîtriser la trajectoire de commutation afin de garantir que le comportement du transistor s'inscrive dans l'aire de sécurité définie par le fabricant. De manière générique il s'agit d'un circuit d'aide à la commutation ou snubber [14, 15, 16, 17]. Si une surtension ne peut être évitée, un composant de limitation (clamping) est ajouté en parallèle du transistor (entre drain et source) [18]. Les validations expérimentales de ce type de structures sont assez délicates au demeurant [19]. Cette approche est compliquée quand des transistors sont mis en série, ou en parallèle [20]. Ceci motive des développements qui évitent le recours à un circuit d'aide à la commutation. Compte-tenu de la relative fragilité du transistor GaN, cette voie n'est pas optimale.

→ Aussi le projet s'intéresse à l'intégration d'une solution d'aide à la commutation au sein du boîtier du transistor GaN et ultimement sur la puce du transistor GaN.

Contributions originales attendues :

La littérature ne couvre pas l'intégration des CALC et l'étude des CALC spécifiques aux transistors GaN est dans ses débuts. La raison est double.

L'usage de transistors à semiconducteur à grand gap vise la montée en densité de puissance et l'insertion d'un CALC à composants discrets sur la carte électronique, à proximité du transistor irait contre l'objectif.

Par ailleurs le transistor GaN n'est que très récemment envisagé pour réaliser la fonction de protection (ouverture) d'un réseau électrique DC (à 400V comme dans l'application de véhicule électrique actuelle). Un CALC est essentiel.

Les contributions des travaux sont triples :

- Démontrer l'intégrabilité d'un CALC (monolithique ou boîtier)
- Valider expérimentalement la fonction CALC à densité de puissance égale dans un convertisseur DC/DC
- Valider expérimentalement l'applicabilité du transistor GaN à la fonction d'ouverture d'une ligne DC.

Programme de recherche et démarche scientifique proposée :

La fabrication des transistors et des *snubbers* fera appel aux moyens et procédés des salles blanches de CEA-Leti. Des procédés microélectroniques de fabrication en salle blanche seront optimisés afin rendre ces composants compatibles avec l'intégration des capacités en tranchées sur silicium, autorisant leur cointégration avec les transistors GaN. La mise en œuvre des composants sera faite après leur encapsulation en boîtier.

Les tests de commutation seront mis en œuvre dans un premier temps au sein d'un bras d'onduleur pour qualifier dans un premier temps un plan d'expérience de différents types de circuits *snubbers*, différentes fréquences et vitesses de commutation, et différentes températures. Une approche métrologique ultra-rapide sera nécessaire mais qui sera développée en parallèle de la conception des transistors afin d'introduire éventuellement des accès qui faciliteraient les mesures sans compromettre les fonctions.

Dans un second temps, les solutions les plus prometteuses seront également validées au sein d'une structure dite back-to-back dans le cas critique de l'ouverture d'une ligne DC inductive.

1. Bibliographie
 - o Transistor GaN et aire de sécurité en commutation
 - o Circuit d'aide à la commutation
2. Plan d'expérience initial
 - o CALCs à composants discrets au sein d'un bras d'onduleur, aspects métrologiques
 - o Observation des commutations sous différentes conditions électro-thermiques
 - o Choix de structures CALC meilleures candidates et spécifications



ÉCOLE
DOCTORALE

160

EEA
ÉLECTRONIQUE
ÉLECTROTECHNIQUE
ET AUTOMATIQUE
UNIVERSITÉ DE LYON

3. Conception pour la fabrication
 - o Caractérisation de condensateurs haute-tension en tranchée sur silicium
 - o Méthodologie de conception tenant compte des contraintes de fabrication
 - o Conception d'échantillon
4. Validation expérimentale
 - o Mise-en-œuvre des transistors GaN à CALC au sein d'un bras d'onduleur et caractérisation électro-thermique.
 - o Comparaison avec les circuits du plan d'expérience initial
 - o Mise-en-œuvre des transistors GaN à CALC au sein d'une protection d'une ligne électrique DC.
 - o Publication de deux articles dans des journaux/transactions de rang international, avec comité de lecture (faire reconnaître la pertinence, l'originalité et la valeur des résultats)
 - o Synthèse des travaux dans un manuscrit en vue de la soutenance de la thèse

Nota : L'approche du manuscrit sera abordée au plus tôt de manière à étaler l'effort sur au moins 18 mois.

Planning :

$T_0 - T_0+6$ mois : étude bibliographique et prise en main expérimentale préalable

$T_0+6 - T_0+12$: plan d'expérience initial et rapport d'étude

$T_0+12 - T_0+20$: méthodologie de conception en lien avec la fabrication, boucle itérative d'amélioration. Premier article de conférence internationale.

$T_0+20 - T_0+26$: en parallèle de la fabrication des véhicules de test, principe de métrologie et validation du principe en simulation. Préparation du plan de caractérisation générale.

$T_0+26 - T_0+30$: Caractérisation électrothermique. Second article de conférence internationale.

$T_0+30 - T_0+36$: Caractérisation de l'ouverture d'une ligne électrique DC. Premier article de journal. Finalisation du manuscrit.

Les travaux comportent un volet technologique important. Il y a un risque inhérent de déviation par rapport au planning ou d'écart de réalisation par rapport à l'objectif. L'approche de l'intégration en deux volets en commençant par l'intégration au boîtier constitue une manière d'atténuer les conséquences du risque dans le pire cas.

Encadrement scientifique :

- **Description du comité d'encadrement :** [à compléter avec le rôle dans l'encadrement scientifique (en termes de compétences scientifiques, etc.) et le pourcentage d'implication du directeur de thèse ⁶ et des autres membres du comité⁷]

| Nom Prénom | Labo / Equipe | Compétences scientifiques | Taux d'encadrement % |
|-------------------|---------------|--------------------------------------|----------------------|
| ALLARD Bruno | Ampère | Approche systémique de l'intégration | 50% |
| ESCOFFIER René | CEA Leti | Expert semiconducteur et technologie | 50% |

- Le comité d'évaluation de l'HCERES ayant demandé à l'école doctorale de limiter la taille du comité d'encadrement à deux membres (directeur de thèse compris), il est impératif de ne proposer des comités d'encadrement de taille plus importante que si cela est absolument nécessaire⁸ et **de le justifier soigneusement**. [à compléter si plus de deux membres]

Nota : Charles Joubert interviendra dans les travaux concernant l'aspect expérimental au sein de convertisseur.

- **Intégration au sein du (ou des) laboratoire(s)** (Département/Equipe(s) impliquée(s)) (**pourcentage du temps travail au sein de ce ou ces laboratoire(s)**) : [à compléter]
Département : Energie Electrique
Priorité : Transport et Conversion de d'Energie Electrique

⁶ Le directeur de thèse doit être un HdR rattaché à l'ED EEA ou en passe de le devenir avant le mois de juin de l'année scolaire en cours ou bénéficier d'une dérogation du Conseil Scientifique lors du dépôt du sujet de thèse.

⁷ Dans le cas d'un comité d'encadrement réparti sur plusieurs établissements, la plus grande partie de l'encadrement est effectuée par des membres de l'établissement. Si l'encadrement de la thèse implique des membres hors de l'ED EEA, la part de l'encadrement des membres ED doit être très supérieure à 50%.

⁸ Un certain nombre de commissions type CNU ne reconnaissent un co-encadrement qu'au-delà d'un certain pourcentage. Souvent l'encadrement est considéré comme effectif si > 30%.

25% laboratoire, 75% site CEA LETI [la proportion de temps sur le site du LETI est dictée par des contraintes de confidentialité d'une part et des contraintes techniques d'autre part, pour l'accès à la technologie d'intégration]

Financement de la thèse : IPCEI ME/CT, gestion INSAVALOR

Profil du candidat recherché (prérequis) :

Formation Bac+5 (équivalence master de recherche) avec une spécialisation souhaitée en électronique de puissance et/ou en électronique intégrée et/ou physique du semiconducteur.

Objectifs de valorisation des travaux de recherche :

L'écosystème autour des transistors GaN émane du LETI avant son transfert au sein de la société STMicroelectronics. Les développements de la thèse sont donc envisagés sous l'angle d'un transfert industriel. Le dépôt de brevet est possible selon les circonstances et résultats.

Publications dans IEEE Trans. Electron Devices, IEEE Electron Device Lett. ou journaux équivalents.

Les résultats feront l'objet de communication lors de

- l'IEEE PwRSoc workshop, très spécialisé dans le domaine et se tenant une fois tous les 2 ans.
- IEEE Energy Conversion Conference and Expo – European Power Electronics (la conférence ECCE-EPE a lieu en Europe, minimisant la problématique d'impact carbone de participation aux conférences).
- Le Symposium de Génie Electrique (SGE)
- Les Journées des Doctorants en Micro-nanoélectronique.

Compétences qui seront développées au cours du doctorat :

- Gestion d'un projet de recherche



ÉCOLE
DOCTORALE

160

EEA
ÉLECTRONIQUE
ÉLECTROTECHNIQUE
ET AUTOMATIQUE
UNIVERSITÉ DE LYON

- Conception de System-In-Package et System-on-Chip de puissance
- Développement d'une approche de conception
- Développement d'une stratégie de mesure.
- Formation par la recherche ouvrant sur les emplois liés à la conversion d'énergie et des composants de puissance.

Perspectives professionnelles après le doctorat :

Une étude récente (<https://www.fieec.fr/etude-prospective-emplois-et-compétences-de-la-filière-electrique/>) décrivait l'écart croissant entre l'émergence de métiers en tension et le niveau ainsi que la taille du vivier de jeunes experts formés. Autrement dit, l'électronique de puissance fait face à l'émergence de nouvelles fiches de postes d'ingénieur. Un sujet au confins de ces carences d'emploi ne peut que réserver des perspectives professionnelles attractives dans l'industrie.

Références bibliographiques sur le sujet de thèse :

- [1] T. Dragičević, X. Lu, J. C. Vasquez and J. M. Guerrero, "DC Microgrids—Part II: A Review of Power Architectures, Applications, and Standardization Issues," in *IEEE Transactions on Power Electronics*, vol. 31, no. 5, pp. 3528-3549, May 2016, doi: 10.1109/TPEL.2015.2464277.
- [2] G. Eswaraiah and A. J. Laxmi, "Protection of DC Bus using Solid-State DC Breaker," *2022 IEEE 2nd International Conference on Sustainable Energy and Future Electric Transportation (SeFeT)*, Hyderabad, India, 2022, pp. 1-6, doi: 10.1109/SeFeT55524.2022.9909364.
- [3] U. Tahir, W. Abdullah and L. Ali, "Design and Development of Solid-state DC Circuit Breaker," *2022 International Conference on Electrical Engineering and Sustainable Technologies (ICEEST)*, Lahore, Pakistan, 2022, pp. 1-8, doi: 10.1109/ICEEST56292.2022.10077870.
- [4] Q. Guo, J. Zhang and T. Chi, "Review of DC Circuit Breaker Technology," *2022 IEEE Sustainable Power and Energy Conference (iSPEC)*, Perth, Australia, 2022, pp. 1-5, doi: 10.1109/iSPEC54162.2022.10033027.
- [5] X. Diao, W. Zhu, Y. Song, F. Liu, M. Xu and J. Sun, "An Integrated Design of the Solid-State Circuit Breaker and the DC-DC Converter," *2020 IEEE Applied Power Electronics Conference and Exposition (APEC)*, New Orleans, LA, USA, 2020, pp. 3419-3423, doi: 10.1109/APEC39645.2020.9124240.
- [6] J. Y. Kwen Chong, D. J. Ryan, H. D. Torresan and B. Bahrani, "A Buck Converter with Integrated Circuit Breaker," *2018 IEEE 27th International Symposium on Industrial Electronics (ISIE)*, Cairns, QLD, Australia, 2018, pp. 299-304, doi: 10.1109/ISIE.2018.8433677.



ÉCOLE
DOCTORALE

160

EEA
ÉLECTRONIQUE
ÉLECTROTECHNIQUE
ET AUTOMATIQUE
UNIVERSITÉ DE LYON

- [7] Y. Liu, Y. Fei, Z. Zhou, Z. Zhou and W. Li, "A Buck-Boost Converter with Integrated Solid-State Circuit Breaker," *2022 IEEE Industry Applications Society Annual Meeting (IAS)*, Detroit, MI, USA, 2022, pp. 1-6, doi: 10.1109/IAS54023.2022.9939898.
- [8] S. Sen, S. Mehraeen and F. Ferdowsi, "Improving DC Circuit Breaker Performance Through an Alternate Commutating Circuit," *2018 IEEE Energy Conversion Congress and Exposition (ECCE)*, Portland, OR, USA, 2018, pp. 7135-7141, doi: 10.1109/ECCE.2018.8558468.
- [9] R. Kheirollahi, S. Zhao, H. Zhang and F. Lu, "Complementary Commutation-Based Π -Type DC SSCB," *2023 IEEE Applied Power Electronics Conference and Exposition (APEC)*, Orlando, FL, USA, 2023, pp. 514-519, doi: 10.1109/APEC43580.2023.10131262.
- [10] J. Yin, X. Lang and J. Duan, "Characteristic Simulation of Low Voltage DC Hybrid Circuit Breaker," *2022 IEEE International Conference on High Voltage Engineering and Applications (ICHVE)*, Chongqing, China, 2022, pp. 1-4, doi: 10.1109/ICHVE53725.2022.9961815.
- [11] R. Kheirollahi *et al.*, "Capacitive Couple-Based Transient Current Commutation in Solid-State Circuit Breakers," in *IEEE Transactions on Power Electronics*, vol. 37, no. 5, pp. 4973-4978, May 2022, doi: 10.1109/TPEL.2021.3134461.
- [12] F. Xue, R. Yu, W. Yu and A. Q. Huang, "GaN transistor based Bi-directional DC-DC converter for stationary energy storage device for 400V DC microgrid," *2015 IEEE First International Conference on DC Microgrids (ICDCM)*, Atlanta, GA, USA, 2015, pp. 153g-153l, doi: 10.1109/ICDCM.2015.7152029.
- [13] G. E. Mejia-Ruiz, M. R. A. Paternina, A. Zamora-Mendez, J. C. Rosas-Caro and G. Bolivar-Ortiz, "A Novel GaN-Based Solid-State Circuit Breaker With Voltage Overshoot Suppression," in *IEEE Transactions on Industrial Electronics*, vol. 69, no. 9, pp. 8949-8960, Sept. 2022, doi: 10.1109/TIE.2021.3116557.
- [14] J. Chen, Q. Luo, X. Zhang, D. Mou, P. Sun and X. Du, "The Sustained Oscillation Suppression Technique with an RC Snubber Circuit for GaN Devices," *2020 IEEE 9th International Power Electronics and Motion Control Conference (IPEMC2020-ECCE Asia)*, Nanjing, China, 2020, pp. 3420-3423, doi: 10.1109/IPEMC-ECCEAsia48364.2020.9367994.
- [15] J. Chen, Q. Luo, Y. Wei, X. Zhang and X. Du, "The Sustained Oscillation Modeling and Its Quantitative Suppression Methodology for GaN Devices," in *IEEE Transactions on Power Electronics*, vol. 36, no. 7, pp. 7927-7941, July 2021, doi: 10.1109/TPEL.2020.3043472.
- [16] X. Yan *et al.*, "Snubber Branch Design and Development of Solid-State DC Circuit Breaker," in *IEEE Transactions on Power Electronics*, doi: 10.1109/TPEL.2023.3281588.
- [17] Y. -T. Yau and T. -L. Hung, "Lossless Snubber for GaN-Based Flyback Converter With Common Mode Noise Consideration," in *IEEE Access*, vol. 10, pp. 56652-56667, 2022, doi: 10.1109/ACCESS.2022.3176941.
- [18] X. Song, Y. Du and P. Caioli, "Survey and Experimental Evaluation of Voltage Clamping Components for Solid State Circuit Breakers," *2021 IEEE Applied Power Electronics Conference and Exposition (APEC)*, Phoenix, AZ, USA, 2021, pp. 401-406, doi: 10.1109/APEC42165.2021.9487424.
- [19] W. Ali, A. Bissal and M. März, "Modeling and experimental verification of a hybrid DC breaker during fault interruption," *2023 IEEE Applied Power Electronics Conference and Exposition (APEC)*, Orlando, FL, USA, 2023, pp. 1851-1857, doi: 10.1109/APEC43580.2023.10131382.
- [20] Z. Lu and F. Iannuzzo, "Factors Affecting Self-Sustained Switching Oscillations of Cascode GaN Devices and Mitigation Strategy During Parameter Design," *2023 IEEE Applied Power Electronics Conference and Exposition (APEC)*, Orlando, FL, USA, 2023, pp. 1-5, doi: 10.1109/APEC43580.2023.10131546.